

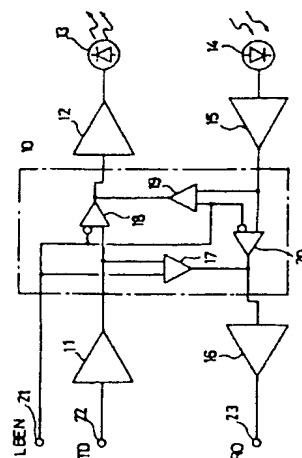
(11) 4-329731 (A) (43) 18.11.1992 (19) JP

(21) Appl. No. 3-100000 (22) 1.5.1991

(71) SUMITOMO ELECTRIC IND LTD (72) TAKASHI FUKUOKA

(51) Int. Cl<sup>5</sup>. H04L12/42, H04B9/00

**CONSTITUTION:** The module is provided with a changeover circuit 10 implementing a loopback function. When a terminal equipment is faulty, a control signal LBEN is set to a high level, gates 17, 19 are opened and gates 18, 20 are closed. A transmission signal TD given to an input terminal 22 is returned to its own reception circuit via a buffer 11, the gate 17 and an output buffer 16. Moreover, the optical signal from the transmission medium is once photoelectric-converted by a light receiving element 14, and inputted to a driver 12 via an amplifier 15 and the gate 19, converted into an optical signal by a light emitting element 13 and returned to the transmission medium. The module is operated at a faster speed than the case with an optical switch in use and the module is configured inexpensively.



(11) 4-329732 (A) (43) 18.11.1992 (19) JP

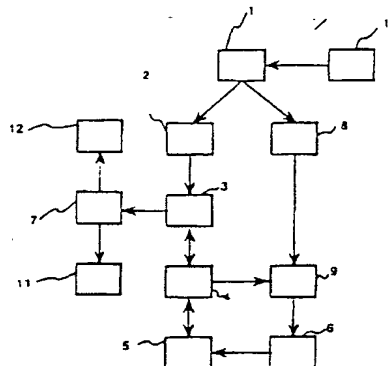
(21) Appl. No. 3-128505 (22) 30.4.1991

(71) NEC CORP (72) HIDEKI SAKAUCHI

(51) Int. Cl<sup>5</sup>. H04L12/48

**PURPOSE:** To manage a virtual path number by utilizing information of preceding path allocation map information in the case of network control processing in the unit of a virtual path in a broad band ISDN employing ATM on its basis.

**CONSTITUTION:** Information is stored in a storage 2/8 in response to setting/storage information read from a command content storage section 10 by a designation section 1. A retrieval section 5 retrieves an effective virtual path number state management section 6 to store an available number to a storage section 4. An allocation section 3 describes the relation of cross reference between a new path identification number and an effective path number to an output section 7 based on the information of the storages 2 and 4. When the allocation section 3 extracts a content of the storage section 4, the content of the storage section 4 is reset. The retrieval section retrieves the content of a state management section 6, stores a new content to the storage section 4 and a revision section 9 changes a path number before reset into an unavailable state. In the case of delete, the effective virtual path number of the storage section 8 is brought into the available state in the management section 6. Through the constitution above, the virtual path number is used without waste in the case of the path decision system of the advance path allocation type and the decentralizing processing type.



11: transmission side setting information storage section,  
12: effective virtual path number notice section

(11) 4-329733 (A) (43) 18.11.1992 (19) JP

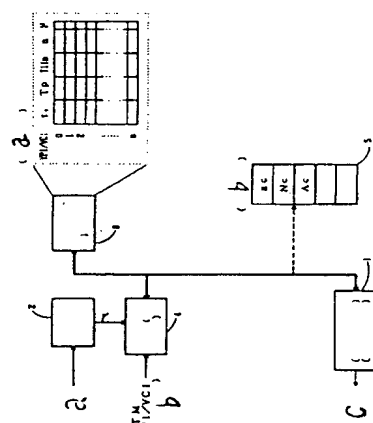
(21) Appl. No. 3-128634 (22) 30.4.1991

(71) FUJITSU LTD(1)      (72) YUTAKA EZAKI(1)

(51) Int. Cl<sup>5</sup>. H04L12/48,H04L12/24,H04L12/26

**PURPOSE:** To realize the monitor of an ATM transmission network able to measure a cell flow without increasing the circuit scale by providing an input/output section, a timer, a memory and a traffic measuring section to the system.

**CONSTITUTION:** An initial value for the entire device is set to an input output section 1. A traffic measurement section 4 continues the measurement when a preceding cell arrival time and arrival time interval in the memory 3 are not a lower limit at the arrival of a succeeding cell of a same identifier. The measurement is a gain implemented when the measurement allowable time is exceeded and the result is not outputted from the input output section 1. Thus, even when number of identifiers is increased, the system copes with it by having only to increase the capacity of the memory 3, the circuit scale is not affected and no error measurement result is outputted. When the arrival time interval between cells of the same identifier is less than the lower limit, number of times of violation is accumulated to the memory 3, the number of times of violation and its identifier are outputted from the input output section 1 at the end of the measurement to inform the time interval of the violation cell. Thus, the cell flow is accurately given.



1: input output section (setting of initial value), (read of measurement result), 2: timer, 3: 1st memory for measurement work and result storage, 4: cell flow measurement, 5: second memory for overflow check work, a: timer setting pulse, b: ATM cell (VPI/VCI number), c: to control section, t: time, d: content of memory

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-329733

(43) 公開日 平成4年(1992)11月18日

(51) Int.Cl.<sup>5</sup>H 0 4 L 12/48  
12/24  
12/26

識別記号

庁内整理番号

F I

技術表示箇所

8529-5K  
8732-5KH 0 4 L 11/ 20  
11/ 08

Z

審査請求 未請求 請求項の数4(全 7 頁)

(21) 出願番号 特願平3-128634

(22) 出願日 平成3年(1991)4月30日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 江崎 裕

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 藤本 俊文

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 茂泉 修司

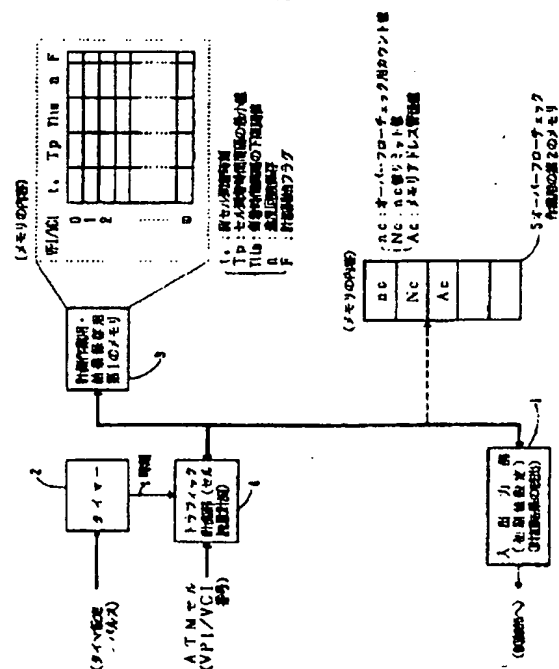
(54) 【発明の名称】 ATM伝送網の監視方式

(57) 【要約】

【目的】 ATM伝送網の各ノードにおけるATMセルのポリシング計測方式に関し、回路規模を増大させることなく、またセル流量の計測を正確に行うことができるATM伝送網の監視方式を実現することを目的とする。

【構成】 各ノードが、計測開始後に初めて到着したセルの時刻をメモリに保存し、この時刻から同じ識別子の次のセルが到着するまでに所定の計測許容時間が経過したときには異常であるとして該計測をやり直すように構成し、前セルの到着時刻の保存をメモリで済ませることができ、各VPI(VCI)毎にレジスタを設ける必要がなく回路規模が縮小できると共にメモリの物理的な到着時間間隔の保存限界を越えるようなセルの到着に対しても誤ったセル流量の結果を出すことなく正確なセル流量を与えることが出来る。

本発明の構成図(各ノード)



## 【特許請求の範囲】

【請求項1】 初期値を設定し計測結果を出力する入出力部(1)と、時刻を発生するタイマー(2)と、計測作業用兼結果保存用のメモリ(3)と、計測開始後に初めて到着したセルを検出し、その時の該タイマー(2)からの時刻を該メモリ(3)にその識別子毎に書き込むと共に同じ識別子の次のセルが到着するまでに所定の計測許容時間が経過したときには異常であるとして該計測をやり直すトラフィック計測部(4)と、を各ノードが備えたことを特徴とするATM伝送網の監視方式。

【請求項2】 該初期値が到着セルの時間間隔の下限値を含み、該トラフィック計測部(4)が、計測開始後の2つの同じ識別子のセル間の到着時間間隔が該下限値以下であるとき違反しているものとして該違反回数を該メモリ(3)に格納し、計測終了時に該違反回数とその識別子とを該入出力部(1)から出力させることを特徴とした請求項1に記載のATM伝送網の監視方式。

【請求項3】 該トラフィック計測部(4)が、該違反回数と共に該違反した到着時間間隔の最小値を該メモリ(3)に格納し、計測終了時に該最小到着時間間隔も該入出力部(1)から出力させることを特徴とした請求項2に記載のATM伝送網の監視方式。

【請求項4】 該メモリ(3)を第1のメモリとしたときに該第1のメモリ(3)におけるセルの識別子毎のアドレス管理値を格納したオーバーフローチェック作業用の第2のメモリ(5)を更に含み、該トラフィック計測部(4)が、該第2のメモリ(5)で管理されるアドレスに従って該第1のメモリ(3)中の各識別子毎に計測開始後に初めて到着したセルの時刻から次のセルが到着するまでに所定時間が経過したとき該計測をやり直すことを特徴とした請求項1乃至3のいずれかに記載のATM伝送網の監視方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はATM伝送網の監視方式に関し、特にATM伝送網の各ノードにおけるATMセルのポリシング計測方式に関するものである。

【0002】 広範囲なマルチメディアサービスを目指す高速・広帯域統合網(B-ISDN)の実現技術として最近、ATM(Asynchronous Transfer Mode: 非同期転送技術)伝送網の研究が活発に行われている。

【0003】 このATM伝送網には、図7(b)に示すように加入者側に電話等の音声端末、テレビ端末等のビジュアル端末、ファックス、コンピュータ間の伝送端末等がつながっており、同図(a)にNNI(伝送網間)の例で示すようにヘッダ部(5バイト)とペイロード部(48バイト)とで構成されたセル(パケット)形式で全ての情報を統一して多くのノード、即ちATM伝送網のクロスコネクト装置間のパスを非同期伝送するもので情報が発生したときのみにセルを送出することで回線の使用

効率が上がり、また、低速から高速まで全ての速度を一元的に扱うことができるので、STM(Synchronous Transfer Mode: 同期転送技術)伝送網と比較してタイムスロット割り当て処理の手間が無くなるため、分散処理制御に適合しており、柔軟性に富んだ多重化伝送が可能となる。

【0004】 このようなATM伝送網を加入者系に用いた場合、自由なセルの送出を加入者に許容すると情報発生頻度の違いにより加入者間で不公平が生じるため、各ノードにおいて存在する伝送網(ネットワーク)の供給者と加入者との間で単位時間当たりに送出できるセルの上限を予め契約し、加入者はその契約に従ってセルを送出し、伝送網の供給者は、加入者が契約の範囲内の量でセルを送出しているかどうかを、伝送網の入口でチェックして自ネットワークを防御するためのポリシング機能が必要とされている。

## 【0005】

【従来の技術】 上記のようなポリシング機能を実現するためには、セルの流量をチャンネル毎に計測する必要がある、このチャンネルは、加入者とノードとの間に張られた1本の伝送路中に区切られた複数の論理的なチャンネルであり、VPI(Virtual Path Identifier)やVCI(Virtual Channel Identifier)と称される識別子を用いることにより識別している。

【0006】 このようなセルの計測を行うためには、様々な方式が提案されているが、図8(a)に示すようにセルの到着時間間隔Tを測定する方式が最も確実な値が得られることが報告されている。

【0007】 今、前セルが時刻 $t_0$ に到着し、時刻 $t$ にセルが到着したとすれば、セルの到着時間間隔Tは、

$$T = t - t_0$$

となり、セル流量のピーク値 $V_p$ は、

$$V_p = 1/T$$

として計算することができる。

【0008】 このようなセルの到着によりセルの到着時間間隔を計測を行うための従来の回路構成例が図9に示されており、現在到着したセルの時刻を保存するカウンタ(レジスタ)11と、前セルの到着時刻を保存するレジスタ12と、レジスタ12からの前セル到着時刻Aとカウンタ11からの現時刻Bとにより到着時間間隔 $T = B - A$ を算出する計算部13とで構成されており、このようにして得た時間間隔Tを基にしてセル流量を演算している。

## 【0009】

【発明が解決しようとする課題】 このような従来のATM伝送網のセル流量を監視する方式においては、現時刻及び前セル到着時刻を保存するレジスタは、存在するVPI又はVCIの数に対応する段数のレジスタを準備する必要があるため回路の増大を招いてしまう。

【0010】 また、このようなレジスタの段数が有限で

3

あるため、図8(b)に示すように到着時間間隔が該レジスタの段数で決まる最大計測可能間隔 $T_{\max}$ より長くなると、図9の回路は、到着時間間隔 $T - T_{\max} = T'$ なる時間間隔を計測してしまい、セル流量の誤判定を生じてしまうという問題点があった。

【0011】そこで、本発明は、回路規模を増大させることなく、またセル流量の計測を正確に行うことができるATM伝送網の監視方式を実現することを目的とする。

【0012】

【課題を解決するための手段】図1は、本発明に係るATM伝送網の監視方式の各ノードの構成を概念的に示したもので、本発明では、初期値を設定すると共に計測結果を出力する入出力部1と、時刻を発生するタイマー2と、計測作業用兼結果保存用のメモリ3と、計測開始後に初めて到着したセルを検出し、その時の該タイマー2からの時刻を該メモリ3にその識別子毎に書き込むと共に同じ識別子の次のセルが到着するまでに所定の計測許容時間が経過したときには異常であるとして該計測をやり直すトラフィック計測部4とを備えている。

【0013】また、本発明では、上記の初期値が到着セルの時間間隔の下限値を含み、該トラフィック計測部4が、計測開始後の2つの同じ識別子のセル間の到着時間間隔が該下限値以下であるとき違反しているものとして該違反回数を該メモリ3に格納し、計測終了時に該違反回数とその識別子とを該入出力部1から出力させることができる。

【0014】更に本発明では、該トラフィック計測部4が、該違反回数と共に該違反した到着時間間隔の最小値を該メモリ3に格納し、計測終了時に該最小到着時間間隔も該入出力部1から出力させることもできる。

【0015】そして更に本発明では、該メモリ3を第1のメモリとしたときに該第1のメモリ3におけるセルの識別子毎のアドレス管理値を格納したオーバーフローチェック作業用の第2のメモリ5を更に含み、該トラフィック計測部4が、該第2のメモリ5で管理されるアドレスに従って該第1のメモリ3中の各識別子毎に計測開始後に初めて到着したセルの時刻から次のセルが到着するまでに所定時間が経過したとき該計測をやり直すことも可能である。

【0016】

【作用】図1に示した本発明においては、入出力部1において、到着セルの時間間隔の下限値を含む装置全体の初期値が設定され、この後、トラフィック計測部4は、計測開始後に初めて到着したセルを検出すると共に、この検出時刻をタイマー2から発生される時刻をメモリ3に保存しておく。但し、トラフィック計測部4はこのとき、セルの識別子毎に該時刻を保存しておく。

【0017】そして、トラフィック計測部4は、同じ識別子の次のセルが到着したことを検出したとき、その検

4

出時刻とメモリ3に保存している前セルの時刻との到着時間間隔が上記の下限値以下でなければ正常であるのでそのまま計測を続け特別な信号は発生しない。

【0018】一方、前セルが到着してから次の同じ識別子のセルが中々到着せず、所定の計測許容時間を経過したときには、セルの到着が異常であるので、この場合には計測結果が信頼できないから計測をやり直し入出力部1から出力させないようにしている。

【0019】これにより、識別子の数が増大してもメモリ3の容量を増やすだけでよく回路規模には殆ど影響を与えないだけでなく、異常にセルの到着時間間隔が長くなった場合での誤った計測結果を出さないようにしている。

【0020】また逆に、本発明のトラフィック計測部4では、計測開始後の2つの同じ識別子のセル間の到着時間間隔が該下限値以下であるときには、セルの到着が早すぎ違反しているので計測期間中、違反回数を該メモリ3に格納して累積して行き、計測終了時に該違反回数とその識別子とを該入出力部1から出力させることができる。

【0021】更に本発明では、該トラフィック計測部4が、該違反回数と共に到着時間間隔の最小値を該メモリ3に格納し、計測終了時に該最小到着時間間隔も該入出力部1から出力させることにより、違反したセルの時間間隔を知らせることが可能となる。

【0022】

【実施例】図1には、上記のように本発明に係るATM伝送網の監視方式における各ノードの原理構成ブロックが示されているだけでなく、以下に述べる実施例に用いる第1及び第2のメモリ3及び5の内容が図示されており、メモリ3においては、識別子としてVPI又はVCIを用い、各識別子によって識別されるセルのパラメータとして、前セルの到着時刻 $t_o$ と、セル到着時間のピーク値 $t_p$ と、到着時間間隔の下限値 $T_{lim}$ と、違反回数 $n$ と、計測開始フラグ $F$ とを保存するようになっている。また、メモリ5においては、オーバーフローチェック用カウンタ値 $nc$ と、この $nc$ 値のリミット値 $Nc$ と、メモリ3の識別子 $0 \sim m$ をアドレスとするアドレス管理値(初期値) $Ac$ とを格納している。

【0023】図2には、本発明に係るATM伝送網の監視方式のポリシング・アルゴリズムの概要が示されており、図示のように、トラフィック計測部4によるトラフィック計測のサブルーチンSUB1と、計測した結果を読み出すサブルーチンSUB2とで構成されており、これらのサブルーチンSUB1及びSUB2の具体例がそれぞれ図3及び図6に示されており、図3におけるサブルーチンで用いられるサブルーチンSUB3及びSUB4の具体例がそれぞれ図4及び図5に示されている。

【0024】以下に、図3乃至図6を参照して本発明の実施例の動作を説明する。

5

【0025】トラフィック計測アルゴリズム (図3参照) まず、計測が開始されると、図4に示す初期設定のサブルーチンSUB3が実行される。

【0026】初期設定アルゴリズム (図4参照)

即ち、図4に示すように、トラフィック計測部4はまずタイマー2から現在の時刻 $t$ を取得し(ステップS21)、各識別子毎に上述したパラメータ $n$ 及び $F$ を“0”に設定すると共に、 $Tlim$ を所定の下限值に設定し、 $Tp$ を例えば“0”に設定しておく(ステップS22)。

【0027】このようにして初期設定が終了した後、図3に戻って次に計測が終了したか否かを判定する(ステップS1)。これは、制御部(図示せず)からの計測終了コマンドを受けたときに終了し、それ以外は計測処理が継続される。

【0028】次に、セルが到着したか否かが判定される(ステップS2)が、これは、ATM伝送網がセル実セル或いは空セルのいずれかが必ず入力されるように設定しているので、このステップS2を実行するときに入力されたセルが実セルであるか否かを判定することとなる。

【0029】そして、セル(以下、実セルを示す)の到着が検出されたときには、そのセルの識別子としての例えばVPI番号を抽出し(ステップS3)、このときのセル到着時刻 $t$ を検出する(ステップS4)と共に、このセルが初めて到着したセルか否かを計測開始フラグ $F$ により判定する(ステップS5)。この場合、最初であれば $F=0$ であるのでステップS6でフラグ $F$ を“1”にセットすると共にステップS13で上記の時刻 $t$ を前セルの到着時刻 $t_0$ にしてメモリ3中の該当するVPI番号の $t_0$ に保存しステップS1へ戻る。

【0030】一方、セルが初めてのものではないときには、前セルの到着時刻 $t_0$ をメモリ3から読み出し(ステップS7)で到着時間間隔 $T=t-t_0$ を計算する(ステップS8)。

【0031】このようにして求めた到着時間間隔 $T$ が、上記の下限値 $Tlim$ 以下の違反したものになっていないかどうかを判定し(ステップS9)、違反していなければステップS13を介してステップS1へ戻るが、 $T < Tlim$ となって違反していることが判ったときには、メモリ3の違反回数 $n$ (これは最初は“0”)を“1”だけインクリメントし(ステップS10)、更にこの到着時間間隔 $T$ がメモリ3中の到着時間間隔のピーク値 $Tp$ と $T < Tp$ の関係にあるか否か、即ちいままでのピーク値を下回っているか否かを判定し(ステップS11)、この結果、 $T < Tp$ の関係にあると判ったときにはステップS1に戻るが、そうでなければより小さい到着時間間隔(より大きいセル流量)のピーク値としてメモリ3に保存しておき(ステップS12)、後に更に小さいピーク値が発生したときには更新されることとなる。

【0032】一方、ステップS2においてセルが到着し

6

ていないことが判明したときには、メモリ5の $nc$ を読み出し(ステップS14)、この $nc$ が、やはりメモリ5に設定してあるリミット値 $Nc$ を越えたか否かを判定する(ステップS15)。尚、この $Nc$ は以下のオーバーフローチェック・サブルーチンSUB4を常に実行せず何回かに1回実行させるためのもので、例えば“3”なる値を有しているとすれば3回に1回だけサブルーチンSUB4が実行されることとなる。

【0033】この結果、 $Nc < nc$ でないときには、 $nc$ をインクリメントして(ステップS16)、メモリ6の $Nc$ を更新するが、 $Nc < nc$ のときにはサブルーチンSUB4を実行し、その後、 $nc$ をリセット( $nc=0$ )して(ステップS17)ステップS1へ戻る。

【0034】

オーバーフローチェックのアルゴリズム (図5参照)

オーバーフローチェック・サブルーチンSUB4のアルゴリズムが図5に示されており、これはトラフィック計測部4の処理とは独立した周期で実行されるものであり、まず、メモリ5からアドレス管理値 $Ac$ を読み出し(ステップS31)、またメモリ3から計測開始フラグ $F$ を読み出す(ステップS32)。

【0035】そして、この計測開始フラグ $F$ が“1”であるか否か、即ち現在、計測開始後の最初のセルしか検出されていないのか、それとも次のセルが検出されているかが判定され(ステップS33)、 $F=1$ のときには最初のセルの状態ではないので、ステップS39に進んで $Ac$ をインクリメントし、メモリ3の次のアドレス(VPI番号)の $Ac$ 及び $F$ が読み出される。

【0036】しかし、ステップS33において、フラグ $F=1$ と判定されたときには、最初のセルの状態にあるので、現在の時刻 $t$ をタイマー2から取得する(ステップS34)と共に指定されたVPI番号の前セルの到着時刻 $t_0$ をメモリ3から読み出し(ステップS35)で到着時間間隔 $T=t-t_0$ を計算する(ステップS36)。

【0037】そして、この計算されてデータビットで表された到着時間間隔 $T$ の最上位ビット(MSB)が“1”か否かを判定し(ステップS37)、“1”でなければステップS39に進むが、そうでなければ計測開始フラグ $F$ を“0”にリセットする(ステップS38)。尚、このサブルーチンSUB4はアドレス $Ac$ が全てについて指定されたときに終了して図3のステップS17に進むことになる。

【0038】ここで、到着時間間隔 $T$ の最上位ビットが“1”であるか否かを判定する意味は、最初のセルが到着してメモリ3の到着時刻 $t_0$ として示される最大の時間の半分を経過したか否かを判定していることを示している。これは、メモリ3のVPI番号は0~ $m$ まで存在するために、到着時刻 $t_0$ として表される最大許容到着時間間隔によりステップS37を判定したのでは、或るV

P I 番号の到着時間間隔 T をチェックしているときに別の V P I 番号の到着時間間隔 T がその最大許容時間間隔を越えてしまうことになるからである。従って、このときの最上位ビットは所定の計測許容時間に相当することとなる。

【0039】

#### 結果読出処理アルゴリズム (図6参照)

図2に示した結果読出処理のサブルーチンSUB2は図6に示すように、入出力部1が、まずメモリ3に対する読出アドレスが設定され(ステップS41)、このアドレスに対応するV P I 番号の違反回数 n が読み出され(ステップS42)、この n が "0" であるか否かが判定される(ステップS43)。

【0040】この場合、n=0であれば、違反は起こっていないのでステップS46に進み、更にステップS41に戻って次のアドレスの n が "0" か否かを判定する。そして、n=0でないときには、そのアドレスの Vp を読み出し(ステップS44)て制御部(図示せず)へ通知する(ステップS45)。このようにして、全てのV P I 番号について入出力部1が読出処理を実行する。

【0041】尚、以上の実施例では、オーバーフローチェック用メモリ5をメモリ3とは別途設けて処理しているが、このメモリ5はトラフィック計測部4に内蔵させた形でも同等の機能を達成することができる。

【0042】

【発明の効果】以上のように本発明に係るA T M 伝送網の監視方式によれば、各ノードが、計測開始後に初めて到着したセルの時刻をメモリに保存し、この時刻から同じ識別子の次のセルが到着するまでに所定の計測許容時間が経過したときには異常であるとして該計測をやり直すように構成したので、前セルの到着時刻の保存をメモリで済ませることができ、各V P I (V C I) 毎にレジスタを設ける必要がなく回路規模が縮小できると共にメモリの物理的な到着時間間隔の保存限界を越えるような

セルの到着に対しても誤ったセル流量の結果を出すことがなく正確なセル流量を与えることが出来る。

【図面の簡単な説明】

【図1】本発明に係るA T M 伝送網の監視方式の各ノードの構成及び各メモリの実施例を示したブロック図である。

【図2】本発明に係るA T M 伝送網の監視方式に用いるポリシング・アルゴリズムを説明するためのフローチャート図である。

【図3】本発明に係るA T M 伝送網の監視方式に用いるトラフィック計測部のアルゴリズムを説明するためのフローチャート図である。

【図4】本発明に係るA T M 伝送網の監視方式に用いる初期設定のアルゴリズムを説明するためのフローチャート図である。

【図5】本発明に係るA T M 伝送網の監視方式に用いるオーバーフローチェックのアルゴリズムを説明するためのフローチャート図である。

【図6】本発明に係るA T M 伝送網の監視方式に用いる計測結果読出処理のアルゴリズムを説明するためのフローチャート図である。

【図7】本発明に用いるA T M セルを説明するための図である。

【図8】A T M セルの到着時間間隔を説明するための図である。

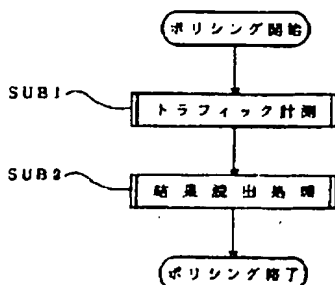
【図9】レジスタを用いた従来の計測回路を示す図である。

【符号の説明】

- 1 入出力部
  - 2 タイマー
  - 3 計測作業用兼結果保存用メモリ
  - 4 トラフィック計測部
  - 5 オーバーフローチェック作業用メモリ
- 図中、同一符号は同一又は相当部分を示す。

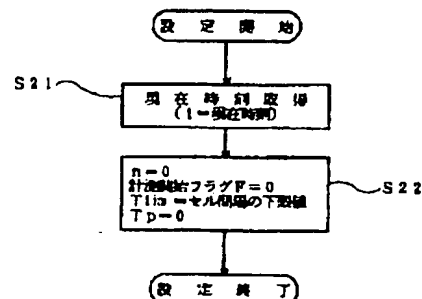
【図2】

ポリシングのアルゴリズム  
(セル到着間隔による)



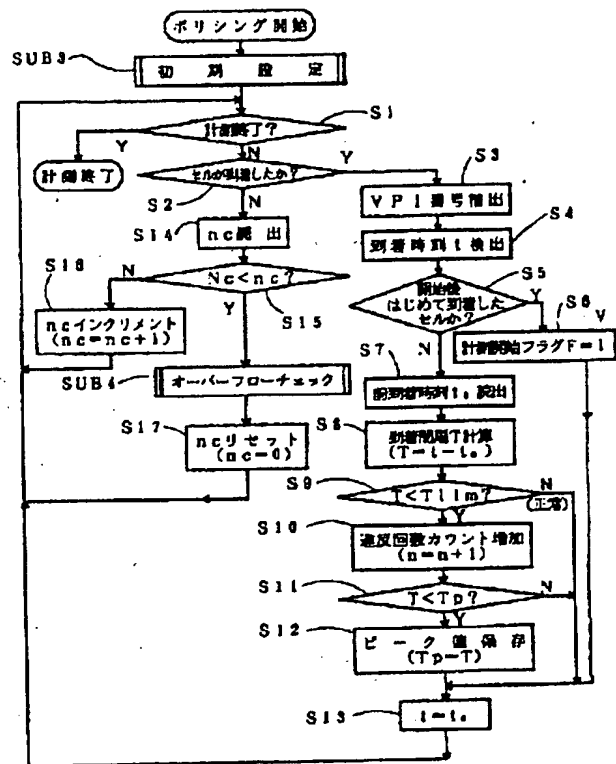
【図4】

初期設定アルゴリズム



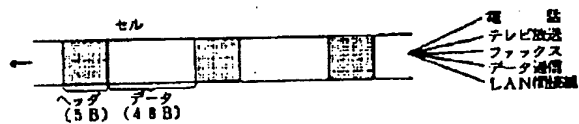
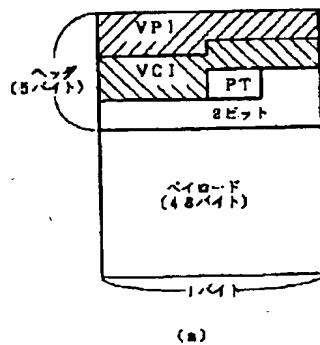
【图 3】

## トラフィック計測部のアルゴリズム



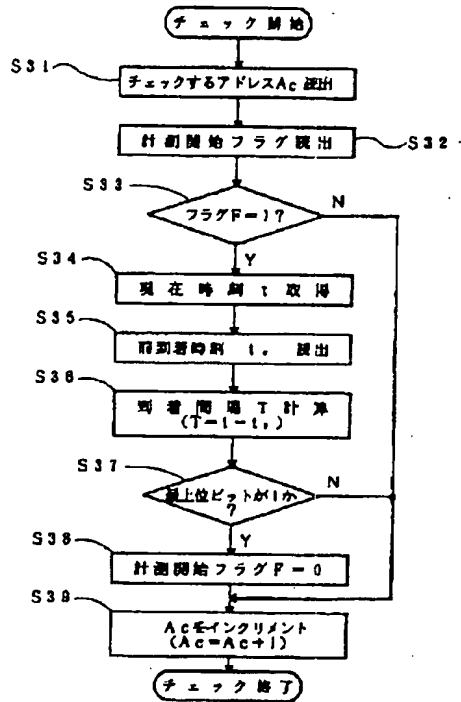
【圖 7】

## ATMセルの基本構造



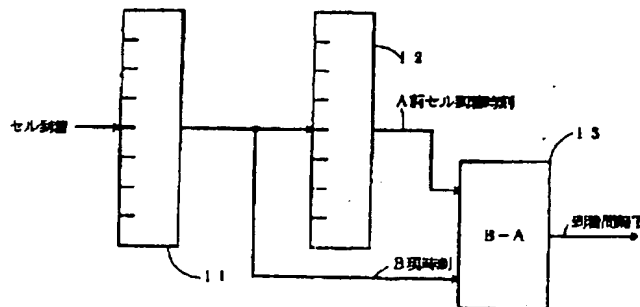
【図5】

オーバーフローチェックのアルゴリズム



【図9】

レジスタによる到着間隔計測回路 (従来例)



【図8】

ATMセルの到着時間間隔を説明する図

